

Docket No.: R2180.0179/P179  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Masahiro Matsuo, et al.

Application No.: Not Yet Assigned

Filed: Concurrently Herewith

Art Unit: N/A

For: POWER SUPPLY METHOD AND  
APPARATUS

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

MS Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following  
prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2002-282524	September 27, 2002

Application No.: Not Yet Assigned

Docket No.: R2180.0179/P179

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: September 26, 2003

Respectfully submitted,

By 

Thomas J. D'Amico

Registration No.: 28,371

DICKSTEIN SHAPIRO MORIN &

OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 785-9700

Attorney for Applicant



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年   9 月 2 7 日  
Date of Application:

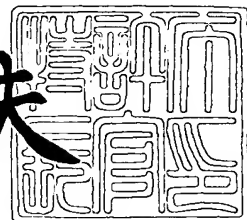
出 願 番 号            特 願 2 0 0 2 - 2 8 2 5 2 4  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 2 8 2 5 2 4 ]

出   願   人            株 式 会 社 リ コ ー  
Applicant(s):

2 0 0 3 年   8 月   4 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出 証 番 号   出 証 特 2 0 0 3 - 3 0 6 2 0 8 2

【書類名】 特許願

【整理番号】 185689

【提出日】 平成14年 9月27日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/4047

【発明の名称】 電源制御回路

【請求項の数】 3

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 松尾 正浩

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 野村 律子

【特許出願人】

【識別番号】 000006747

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源制御回路

【特許請求の範囲】

【請求項 1】 1つの直流電源を用いる複数の電源回路と、

共通の発振回路から出力される発振信号に基づいて、上記複数の電源回路が上記直流電源から電力の供給を受けるタイミングを時分割制御する制御部を備えることを特徴とする電源制御回路。

【請求項 2】 請求項 1 に記載の電源制御回路において、

更に、上記複数の電源回路の内、少なくとも 2 つ以上の電源回路を選択する選択手段を備え、

上記制御部は、選択された 2 つ以上の電源回路が上記直流電源から電力供給を受けるタイミングを時分割制御する電源制御回路。

【請求項 3】 請求項 2 に記載の電源制御回路において、

複数の電源回路として、昇圧回路、降圧回路、倍昇圧型直流変換回路を備え、

上記選択手段は、上記 3 つの電源回路から昇圧回路と降圧回路、又は、降圧回路と倍昇圧型直流変換回路の何れかの組合せを選択し、

上記制御部は、選択された組合せの回路が上記直流電源から電力供給を受けるタイミングを時分割制御するが、降圧回路は上記何れの組合せが選択された場合でも同じタイミングで上記直流電源から電力供給を受ける電源制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の種類の電源を切り換えて使用する電源制御回路に関する。

【0002】

【従来の技術】

従来より、複数の種類の電源回路を共通の発振回路から出力される発振信号により駆動することにより装置の小型化及び低消費電力化を図る技術が提案されている（例えば、特許文献 1 を参照）。

【0003】

## 【特許文献1】

特開 2000-11644 号公報

## 【0004】

## 【発明が解決しようとする課題】

ここで、発振信号として共通のクロック信号で動作する昇圧回路及び降圧回路を用いて1つの直流電源から異なる2種類の電圧を出力する場合を考察する。共通のクロック信号を用いる場合、上記昇圧回路及び降圧回路内において同時に多くの電力が消費されることがあり、この場合、上記直流電源にノイズが発生する。例えば、携帯電話器では、電源にノイズがのることを嫌うため、上記共通の発振信号を用いて複数の電源回路を駆動する従来技術をそのまま適用することが難しかった。

## 【0005】

本発明は、ノイズの発生を低減し、共通の発振信号で複数の電源回路を制御する電源制御回路を提供することを目的とする。

## 【0006】

## 【課題を解決するための手段】

本発明の第1の電源制御回路は、1つの直流電源を用いる複数の電源回路と、共通の発振回路から出力される発振信号に基づいて、上記複数の電源回路が上記直流電源から電力供給を受けるタイミングを時分割制御する制御部を備えることを特徴とする。

## 【0007】

本発明の第2の電源制御回路は、上記第1の電源制御回路において、更に、上記複数の電源回路の内、少なくとも2つ以上の電源回路を選択する選択手段を備え、上記制御部は、選択された2つ以上の電源回路が上記直流電源から電力供給を受けるタイミングを時分割制御する。

## 【0008】

本発明の第3の電源制御回路は、上記第2の電源制御回路において、複数の電源回路として、昇圧回路、降圧回路、倍昇圧型直流変換回路を備え、上記選択手段は、上記3つの電源回路から昇圧回路と降圧回路、又は、降圧回路と倍昇圧型

直流変換回路の何れかの組合せを選択し、上記制御部は、選択された組合せの回路が上記直流電源から電力供給を受けるタイミングを時分割制御するが、降圧回路は上記何れの組合せが選択された場合でも同じタイミングで上記直流電源から電力供給を受ける。

#### 【0009】

##### 【発明の実施の形態】

本発明の電源制御回路は、1つの直流電源から異なる電圧を発生する複数の電源回路が、上記直流電源から電力供給を受けるタイミングを、共通の発振回路から出力される発振信号により時分割制御する装置であり、上記複数の電源回路で同時に大きな電力が消費されて上記直流電源にノイズが発生するのを防止することを特徴とする。

以下、添付の図面を用いて、本発明の電源の制御回路の実施の形態について説明する。

#### 【0010】

図1は、携帯電話器用の電源装置100の構成を示す図である。電源装置100は、共通の直流電源Vccを使用する昇圧DC/DC変換回路10、降圧DC/DC変換回路30、及び、倍昇圧型直流変換回路50の3つの電源回路と、発振回路80の出力する発振信号である三角波TWに基づいて、上記3つの電源回路の内、電源選択パッド70に印加される選択信号SEL0により選択される2つの電源回路の動作を時分割制御する制御回路Cで構成される。

#### 【0011】

例えば、上記昇圧DC/DC変換回路10は、有機ELパネル用の電源であり、降圧DC/DC変換回路30は、携帯電話器の通話機能やボタンのLED点灯機能を実現する為に用いられる電源であり、倍昇圧型直流変換回路50は、ホワイトLED用の電源である。本例の場合において、有機ELパネルとホワイトLEDは、択一的に使用されるものであり、同時に使用されることは無い。実際の使用時には、電源装置100は、電源選択パッド70に印加される選択信号SEL0の値により、昇圧DC/DC変換回路10と降圧DC/DC変換回路30、又は、降圧DC/DC変換回路30と倍昇圧型直流電源回路50の組合せで使用



される。

#### 【0012】

昇圧DC/DC変換回路10は、Nチャンネル型MOSFETの半導体スイッチ1のドレインにコイル2を介して直流電源Vccを接続すると共に、ダイオード3を介してコンデンサ4及び負荷5を接続したものである。半導体スイッチ1のソースは接地されている。負荷5に接続される出力端P1の電位は、抵抗6, 7で抵抗分割された後に演算増幅器8の正の信号入力端子に入力される。

#### 【0013】

以下、説明の便宜のため、発振回路80から出力される三角波TWの振幅の半分の値、即ち、三角波TWの最大値をV+とし、最小値をV-とする場合に(V++V-)/2で特定される基準値をVref3として用いる。

#### 【0014】

演算増幅器8は、抵抗分割された出力端P1の電位と、負の信号入力端子に入力される基準値Vref0との差に基づいて上記Vref3よりも大きな基準値Vref1を出力する。

#### 【0015】

制御回路Cを構成する第1制御回路20は、後に詳しく説明するように、入力された基準値Vref1と発振回路80より出力される三角波TWとの比較によりPWM信号を生成し、生成したPWM信号を上記半導体スイッチ1のゲートに印加する。昇圧DC/DC変換回路10は、第1制御回路20から出力されるPWM信号がLowレベルの時に直流電源Vccから供給される電力を受け取り、第1電力貯蔵部CH1に蓄電する。

#### 【0016】

降圧DC/DC変換回路30は、Pチャンネル型MOSFETの半導体スイッチ31のソースに直流電源Vccを接続すると共に、図示するように、ドレインにダイオード32、コイル33、コンデンサ34、及び、負荷35を接続したものである。負荷35に接続される出力端子P2の電位は、抵抗36, 37で抵抗分割された後に演算増幅器38の正の信号入力端子に入力される。演算増幅器38は、抵抗分割された出力端P2の電位と、負の信号入力端子に入力される基準

値  $V_{ref0}$  との差に基づいて上記基準値  $V_{ref3}$  よりも小さな基準値  $V_{ref2}$  を出力する。

#### 【0017】

制御回路 C を構成する第 2 制御回路 40 は、後に詳しく説明するように、入力された基準値  $V_{ref2}$  と発振回路 80 より出力される三角波  $TW$  との比較により PWM 信号を生成し、生成した PWM 信号を上記半導体スイッチ 31 のゲートに印加する。降圧 DC/DC 変換回路 30 は、第 2 制御回路 40 から出力される PWM 信号が  $Low$  レベルの時に直流電源  $V_{cc}$  から供給される電力を受け取り、第 2 電力貯蔵部  $CH2$  に蓄電する。

#### 【0018】

なお、降圧 DC/DC 変換回路には、上記タイプの降圧 DC/DC 変換回路 30 以外に同期整流タイプの回路もある。

#### 【0019】

倍昇圧型直流変換回路 50 は、直流電源  $V_{cc}$  及びクロック信号で駆動する周知のチャージポンプ 51 と第 3 電力貯蔵部  $CH3$  として機能するコンデンサ 52 で構成され、出力端子 P3 に負荷 53 が接続されている。当該倍昇圧型直流変換回路 50 は、入力されるクロック信号が  $Low$  レベルの時に直流電源  $V_{cc}$  から電力を受け取り、第 3 電力貯蔵部  $CH3$  に蓄電する。

#### 【0020】

制御回路 C は、昇圧 DC/DC 変換回路 10 の駆動信号である PWM 信号の出力を制御する第 1 制御回路 20、降圧 DC/DC 変換回路 30 の駆動信号である PWM 信号の出力を制御する第 2 制御回路 40、及び、倍昇圧型直流変換回路 50 への動作クロック信号  $CLK$  の出力を制御する第 3 制御回路 60 で構成される。第 1 及び第 3 制御回路には、電源選択パッド 70 に印加される選択信号  $SEL0$  が入力される。

#### 【0021】

電源選択パッド 70 に印加される選択信号  $SEL0$  が  $High$  レベルの場合、制御回路 C は、昇圧 DC/DC 変換回路 10 及び降圧 DC/DC 変換回路 30 が直流電源  $V_{cc}$  から電力を受けるタイミングを時分割制御する。一方、上記選択

信号SEL0がLowレベルの場合、降圧DC/DC変換回路30及び倍昇圧型直流変換回路50が直流電源Vccから電力を受け取りタイミングを時分割制御する。なお、降圧DC/DC変換回路30は、上記何れの場合にも同じタイミングで動作する。

#### 【0022】

第1制御回路20、第2制御回路40及び第3制御回路60には、個別選択パッド21、41及び61を介して選択信号SEL1、SEL2及びSEL3がそれぞれ入力される。第1制御回路20、第2制御回路40及び第3制御回路60は、それぞれ上記選択信号SEL1、SEL2及びSEL3がHighレベルの場合にイネーブルになる。

#### 【0023】

第1制御回路20は、三角波TWの値が、上記Vref3よりも大きなVref1以上の場合にLowレベルに切り換るPWM信号を生成し、当該PWM信号を駆動信号として昇圧DC/DC変換回路10の半導体スイッチ1に出力する（以下に説明する図2の（b）を参照）。

#### 【0024】

第2制御回路40は、三角波TWの値が、上記Vref3よりも小さなVref2以下の場合にLowレベルに切り換るPWM信号を生成し、当該PWM信号を駆動信号として降圧DC/DC変換回路30の半導体スイッチ31に出力する（以下に説明する図3の（b）を参照）。

#### 【0025】

第3制御回路60は、三角波TWの値が、上記Vref3以上の場合にLowレベルとなるデューティ比50%のクロック信号CLKを生成し、当該クロック信号CLKを倍昇圧型直流変換回路50を構成するチャージポンプ51に供給する（以下に説明する図4の（b）を参照）。

#### 【0026】

上述したように、選択信号SEL0の値に応じて第1制御回路と第2制御回路、又は、第2制御回路と第3制御回路がイネーブルになる。以下に詳しく説明するように、各イネーブルになった制御回路は、昇圧DC/DC変換回路10の第

1 電力貯蔵部CH1と降圧DC/DC変換回路30の第2電力貯蔵部CH2、又は、降圧DC/DC変換回路30の第2電力貯蔵部CH2と倍昇圧型直流変換回路50の第3電力貯蔵部CH3が同時に蓄電を行わないように時分割制御を行う。この制御により、複数の電源回路から同時に電力の消費が行われて、共有している直流電源Vccの値が大きく低下することを解消し、直流電源Vccにノイズが発生することを低減することができる。

#### 【0027】

図2の(a)は、第1制御回路20の構成を示す一例の図である。第1制御回路20には、三角波TW、昇圧DC/DC変換回路10から出力される基準電圧Vref1、選択信号SEL0及び選択信号SEL1が入力される。上述したように、昇圧DC/DC変換回路10の演算増幅器8において、基準電圧Vref1は、上記Vref3よりも大きな値になるように設定されている。

#### 【0028】

例えば、第1制御回路20は、1つの比較器21と2つのANDゲート22、23で構成される。比較器21は、三角波TWと基準値Vref1とを比較し、三角波TWの値が基準値Vref1よりも大きな場合にLowレベルの信号を出力する。比較器21の出力端子は、2入力ANDゲート22の一方の信号入力端子に接続されている。ANDゲート22の残りの信号入力端子には、電源選択パッド70から入力される選択信号SEL0が入力されている。ANDゲート22は、選択信号SEL0がHighレベルの場合に、比較器21の出力した信号をそのまま次段のANDゲート23に出力する。2入力ANDゲート23の残りの信号入力端子には、個別選択パッド21から入力される選択信号SEL1が入力される。ANDゲート23は、選択信号SEL1がHighレベルの場合にANDゲート22の出力信号をそのままPWM信号として出力する。

#### 【0029】

図2の(b)は、上記構成の第1制御回路20において、選択信号SEL0、SEL1が共にHighレベルの場合に出力されるPWM信号を示す図である。

#### 【0030】

図3は、第2制御回路40の構成を示す一例の図である。第2制御回路40に

は、三角波TW、降圧DC／DC変換回路30から出力される基準電圧Vref2、選択信号SEL2が入力される。上述したように、降圧DC／DC変換回路30の演算増幅器38において、基準電圧Vref2は、上記Vref3よりも小さな値になるように設定されている。

#### 【0031】

第2制御回路40は、1つの比較器41と1つのANDゲート42で構成される。比較器41は、三角波TWと基準値Vref2とを比較し、三角波TWの値が基準値Vref2よりも小さい場合にLowレベルの信号を出力する。比較器41の出力端子は、2入力ANDゲート42の一方の信号入力端子に接続されている。ANDゲート42の残りの信号入力端子には、個別選択パッド41から入力される選択信号SEL2が入力される。ANDゲート42は、選択信号SEL2がHighレベルの場合にANDゲート42の出力信号をPWM信号として出力する。なお、第2制御回路40は、電源選択パッド70に入力される選択信号SEL0の値に影響されない。

#### 【0032】

図3の(b)は、上記構成の第2制御回路20において、選択信号SEL2がHighレベルの場合に出力されるPWM信号を示す図である。

#### 【0033】

図4は、第3制御回路60の構成を示す一例の図である。第3制御回路60には、三角波TW、上記三角波TWの振幅の半分の値である基準値Vref3、選択信号SEL0及び選択信号SEL1が入力される。第3制御回路60は、1つの比較器61、ANDゲート62及び63で構成される。比較器61は、三角波TWと基準値Vref3とを比較し、三角波TWの値が基準値Vref3よりも大きな場合にLowレベルの信号を出力する。比較器61の出力端子は、2入力ANDゲート62の一方の信号入力端子に接続されている。ANDゲート62の残りの信号入力端子には、電源選択パッド70から入力される選択信号SEL0が反転して入力されている。ANDゲート62は、選択信号SEL0がLowレベルの場合に、比較器61の出力した信号をそのまま次段のANDゲート63に出力する。2入力ANDゲート63の残りの信号入力端子には、個別選択パッド

61から入力される選択信号SEL3が入力される。ANDゲート63は、選択信号SEL3がHighレベルの場合にANDゲート62の出力信号をそのままPWM信号として出力する。

#### 【0034】

図4の(b)は、上記構成の第3制御回路60において、選択信号SEL0, SEL1が共にHighレベルの場合に出力されるPWM信号を示す図である。

#### 【0035】

上述したように、昇圧DC/DC変換回路10は、図2の(b)に示すPWM信号がLowレベルの時に第1電力貯蔵部CH1において蓄電を行う。また、降圧DC/DC変換回路30は、図3の(b)に示すPWM信号がLowレベルの時に第2電力貯蔵部CH2において蓄電を行う。図2の(b)及び図3の(b)より解るように、昇圧DC/DC変換回路10と降圧DC/DC変換回路30は、同時に蓄電動作を行うことは無い。このため、直流電源Vccの電力が同時に消費されることを解消し、当該直流電源Vccにノイズが発生することを低減することができる。

#### 【0036】

また、上述したように、倍昇圧直流変換回路50は、図4の(b)に示すクロック信号がLowレベルの時に第3電力貯蔵部CH3において蓄電を行う。このため、図3の(b)及び図4の(b)より解るように、降圧DC/DC変換回路30と倍昇圧直流変換回路50は、同時に蓄電動作を行うことは無い。このため、直流電源Vccの電力が同時に消費されることを解消し、当該直流電源Vccにノイズが発生することを低減することができる。

#### 【0037】

なお、図2の(b)、図3の(b)及び図4の(b)を参照すればわかるように、降圧DC/DC変換回路30は、昇圧DC/DC変換回路10及び倍昇圧直流変換回路50の何れの回路と共に動作する場合であっても、同じタイミングで直流電源Vccから電力を受ける(蓄電動作を行う)。

#### 【0038】

なお、個別選択パッド21, 41, 61に全てHighレベルの選択信号SE

L1, 2, 3を入力することにより、全ての電源回路を停止させることも可能である。また、電源選択パッド70に入力する選択信号SEL0との組合せにより一つの電源回路のみを動作させることも可能である。

#### 【0039】

##### 【発明の効果】

本発明の第1の電源制御回路によれば、1つの直流電源から異なる種類の電源を用意する複数の電源回路が、上記直流電源から電力供給を受けるタイミングを共通の発振回路が出力する発振信号に基づいて時分割制御することができる。これにより、複数の電源回路が直流電源から同時に電力を消費することを解消し、当該直流電源にノイズが発生することを低減することができる。

#### 【0040】

本発明の第2の電源制御回路によれば、複数の電源の中から選択した2以上の電源が、上記直流電源から電力供給を受けるタイミングを時分割制御することができる。これにより、複数の電源回路が直流電源から同時に電力を消費することを解消し、当該直流電源にノイズが発生することを低減することができる。

#### 【0041】

本発明の第3の電源制御回路によれば、上記第2の電源制御回路において、昇圧回路、降圧回路及び倍昇圧型直流変換回路の3つの電源回路から昇圧回路と降圧回路、又は、降圧回路と倍昇圧型直流変換回路の何れかの組合せを選択し、上記制御部は、選択された組合せの回路が上記直流電源から電力供給を受けるタイミングを時分割制御するが、降圧回路は上記何れの組合せが選択された場合でも同じタイミングで上記直流電源から電力を受け取ることができる。

##### 【図面の簡単な説明】

【図1】 電源制御回路を備える電源装置の構成を示す図である。

【図2】 (a)は、電源制御回路を構成する第1制御回路の構成を示し、(b)は、第1制御回路から出力されるPWM信号を示す図である。

【図3】 (a)は、電源制御回路を構成する第2制御回路の構成を示し、(b)は、第2制御回路から出力されるPWM信号を示す図である。

【図4】 (a)は、電源制御回路を構成する第3制御回路の構成を示し、

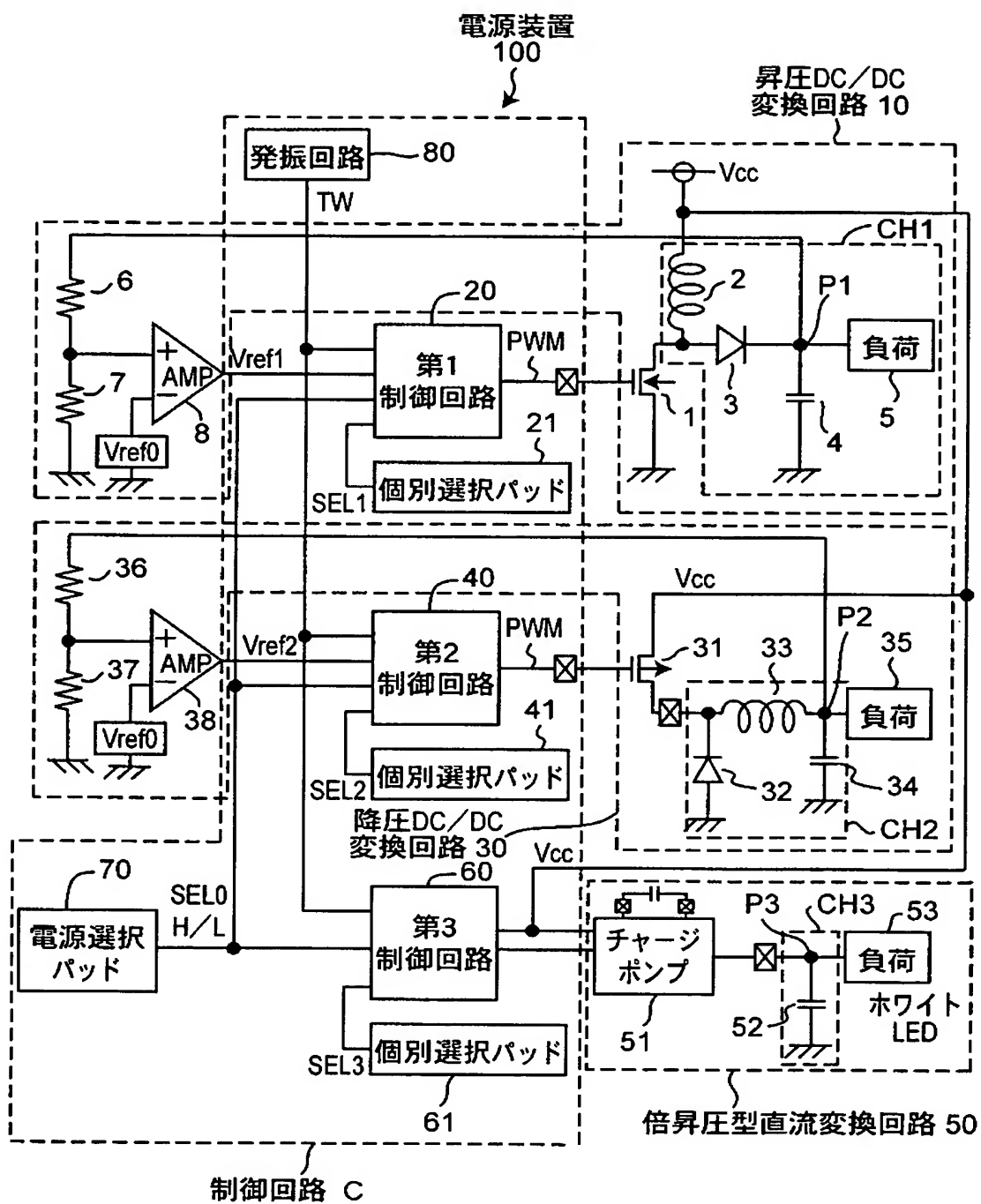
(b) は、第3制御回路から出力されるクロック信号CLKを示す図である。

【符号の説明】 1, 31 半導体スイッチ、10 昇圧DC/DC変換回路、20 第1制御回路、30 降圧DC/DC変換回路、40 第2制御回路、50 倍昇圧型直流変換回路、60 第3制御回路、70 電源選択パッド、100 制御装置、CH1 第1電力貯蔵部、CH2 第2電力貯蔵部、CH3 第3電力貯蔵部。

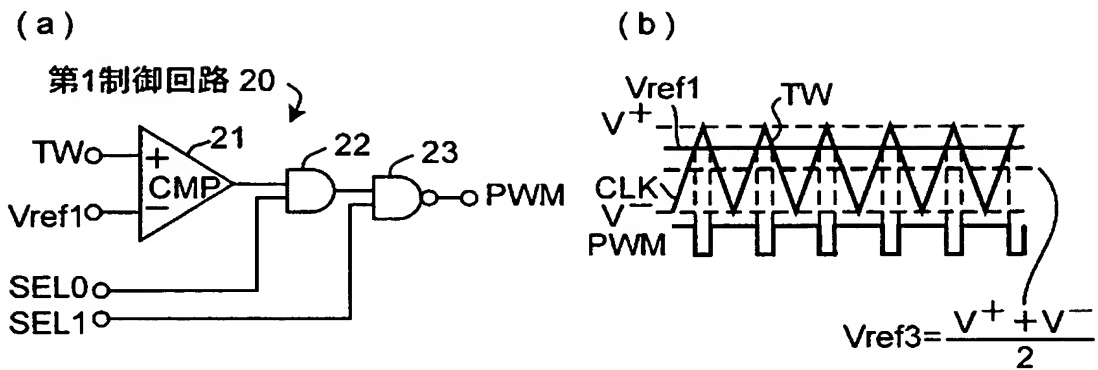


【書類名】 図面

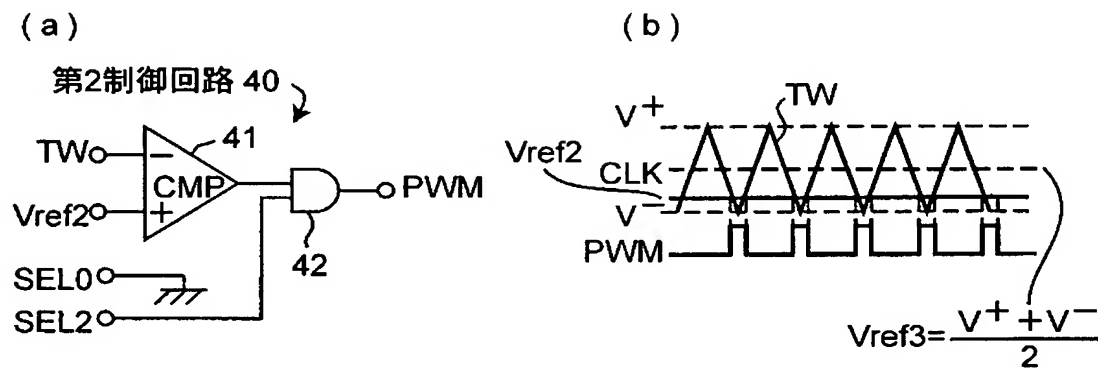
【図 1】



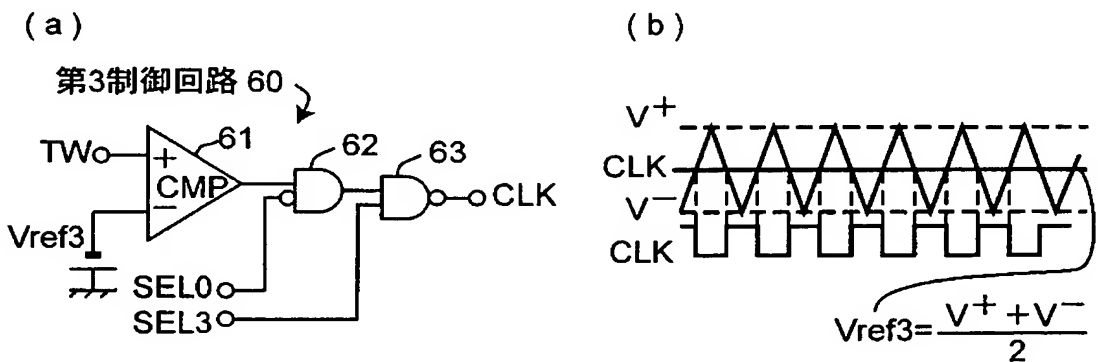
【図 2】



【図 3】



【図 4】





【書類名】 要約書

【要約】

【課題】 ノイズを低減し、共通の発振信号で複数の電源回路を制御する電源制御回路を提供する。

【解決手段】 本発明の電源制御回路は、1つの直流電源を用いる複数の電源回路と、共通の発振回路から出力される発振信号に基づいて、上記複数の電源回路が上記直流電源から電力の供給を受けるタイミングを時分割制御する制御部を備えることを特徴とする。

【選択図】 図 1



特願 2002-282524

出願人履歴情報

識別番号

[000006747]

1. 変更年月日      1990年 8月24日  
[変更理由]      新規登録  
住 所      東京都大田区中馬込1丁目3番6号  
氏 名      株式会社リコー
  
2. 変更年月日      2002年 5月17日  
[変更理由]      住所変更  
住 所      東京都大田区中馬込1丁目3番6号  
氏 名      株式会社リコー